

深亚微米工艺下单粒子瞬态引起的串扰效应

蒋见花, 卢奕岑, 周玉梅

(中国科学院 微电子研究所, 北京 100029)

摘 要: 随着集成电路工艺的发展, 供电电压降低, 线条变细, 使得集成电路受到普通串扰和粒子辐射的影响更严重. 由此对 130~40 nm 工艺节点普通串扰和单粒子引起的串扰效应进行了对比分析. 单粒子引起的串扰比普通串扰更加严重, 而且随着工艺进步, 单粒子引起的串扰现象将更加恶化. 验证了在不同工艺下增加驱动尺寸和增加连线间距对缓解单粒子串扰噪声的有效性.

关键词: 串扰; 噪声; 单粒子

中图分类号: TN492

文献标识码: A

文章编号: 1000-7180(2015)02-0060-05

Crosstalk Effects Caused by Single Event Transient in Deep Submicron Technology

JIANG Jian-hua, LU Yi-cen, ZHOU Yu-mei

(Institute of Microelectronics of Chinese Academy of Sciences, Beijing, 100029, CHN)

Abstract: As the process technologies scale down, IC is more susceptible to normal crosstalk and particle radiation with the decreasing of supply voltage and line width. Normal crosstalk and SE induced crosstalk are analyzed on 130nm~40 nm technologies. SE induced crosstalk is more serious than normal crosstalk and is becoming more serious with the scaling down of process. Increasing driver size and space are discussed to determine which one is more efficient for decreasing SE induced crosstalk.

Key words: crosstalk, noise, SE

1 引言

随着半导体集成电路制造工艺进入 20 nm 时代, 晶体管尺寸和供电电压持续下降, 电路对干扰噪声的免疫能力随之下降. 纳米尺寸下的电路愈发容易受到多个因素交互影响. 由耦合电容引起的信号串扰噪声一直是深亚微米工艺下的关注因素. 随着连线宽度持续减小至比连线厚度还小, 同时相邻连线间的间距越来越小, 这些因素使连线间耦合效应增强, 耦合电容在整个负载电容中所占的比例逐渐变大^[1-2].

电路节点存储的电荷量由于晶体管尺寸的减小和供电电压的降低而相应减小, 但对节点电压扰动的敏感性增大了. 时钟频率的提高也使电路捕获这

些瞬态干扰的几率大大提高. 不仅是空中应用等特殊场合, 即使是地面应用, 封装等材料中的杂质引发的二次辐射和空气中的中子等注入器件的漏端耗尽区或者反偏 pn 结附近, 会引发器件电压翻转, 发生软错误. 纳米尺寸工艺下商用 CMOS 电路受辐射引起的软错误近来受到人们的持续关注.

由于耦合电容的存在, 单粒子瞬态脉冲 (Single Event Transient, SET) 也会引起相邻连线的扰动, 而且由于 SET 引起的电压变换斜率 dV/dt 比常规的电压脉冲翻转斜率要小, 对受扰线的串扰大小与施扰线的翻转斜率成正比, 因此 SET 引起的串扰噪声比常规串扰噪声会更严重, 在设计中需要加以考虑和防范.

本文对深亚微米下的串扰噪声和 SET 的相互

收稿日期: 2014-05-14; 修回日期: 2014-06-03

基金项目: 国家科技重大专项 (2009ZX02036-003)

影响进行深入的讨论,基于 130 nm 至 40 nm 工艺线条下针对串扰引起的电压噪声和信号延迟两个参数进行分析,对预防和减免串扰效应的措施进行评估分析。

2 串扰噪声与单粒子瞬态

耦合电容引起的串扰模型如图 1 所示,当耦合电容值足够大时,连线上的翻转通过耦合将能量向对方传递,对相邻线上的电压值会产生影响,这组连线分别称为施扰线和受扰线。串扰对数字信号的影响主要是毛刺引起的信号完整性和信号延迟^[3-4]。已经有许多的方法可以分析和降低串扰带来的信号毛刺和延迟。

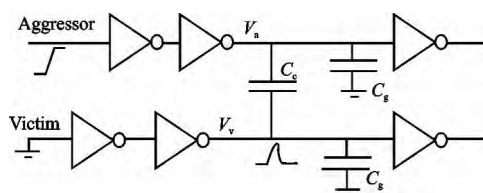


图1 相邻连线间的串扰模型

粒子入射敏感节点在入射轨迹周围产生电子空穴对,在扩散和漂移作用下,这些电荷被收集形成瞬态电流,引起节点电压翻转。SET 瞬态电流通常用双指数函数来表征。

$$I(t) = \frac{Q}{t_a - t_\beta} (e^{-t/t_a} - e^{-t/t_\beta}) \quad (1)$$

Q 代表注入电荷量, t 是时间, t_a 电荷收集常量, t_β 粒子轨迹建立时间。这些常数与工艺参数密切相关。在许多研究中,通过物理实验和器件级仿真完成特征化。 t_a 通常是几十皮秒至百皮秒量级^[5-6],研究表明对于 100 nm 工艺节点,体硅工艺下约 50~100 ps。 t_β 也称为上升时间,在几个至几十皮秒的量级^[6-7],一般典型值小于 10^{-11} s。

根据 $Q = C * V$,

$$i = \frac{dQ}{dt} = C * \frac{dV}{dt} \Rightarrow dt = C * \frac{dV}{i_{sat}} \quad (2)$$

通常普通信号翻转时, i_{sat} 在纳安级,而单粒子引起的翻转电流峰值 i_{sat} 在 mA 级,因此单粒子瞬态电压的跳变时间比普通信号翻转时间快很多,导致单粒子瞬态电压脉冲的斜率比普通串扰脉冲斜率大很多,因此受扰线上的串扰脉冲比普通情况下的串扰脉冲也更严重^[8]。

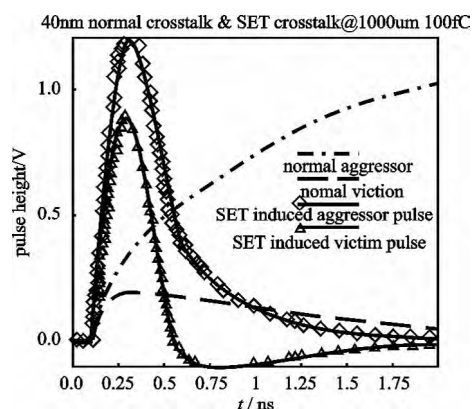
2.1 SET 串扰引起的信号翻转

本文采用图 1 所示的串扰模型,基于 SMIC 130 nm 至 40 nm CMOS 工艺的测试电路进行串扰和

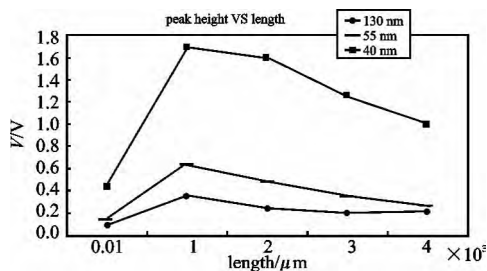
SET 影响分析。为了突出显示影响的有效性,选取 1X 驱动能力的反相器做为驱动门,连线电容和耦合电容通过 StarRC 提取完成。双指数电流函数的时间常数通过 TCAD 仿真校正。并行连线长度五组,分别为 10 μm 、1000 μm 、2 000 μm 、3 000 μm 、4 000 μm 。

评估模型普通串扰在施扰线输入端输入正跳变的信号,受扰端接入稳定的零电平;考察 SET 的影响时,两个输入端均设置为零电平,引入的 SET 脉冲在 V_a 点添加, V_a 点的变化通过耦合电容 C_c 结点传导给 V_v 结点。

如图 2(a)所示是 V_a 、 V_v 点在施扰线跳跃干扰时的串扰信号。SE 引起的串扰比普通串扰峰值高 3~4 倍。图 2(b)所示的是在 V_a 有 SET 干扰时的 V_v 。在三种工艺线条下,串扰脉冲峰值随着连线长度增加显著增加,在长度 1 000 μm 时达到峰值,随着连线长度继续增加,串扰脉冲峰值出现下降。这是由于随着连线长度的继续增加,连线的耦合电容成倍增长,施扰点的对地等效电容持续增加,导致施扰点单粒子引起的 dv/dt 下降,单粒子瞬态脉冲在施扰点引起的干扰脉冲减小了,经过耦合对受扰点造成的影响也随之减小。仿真结果可以看出(图 3), 130 nm 节点工艺下,100 fC 沉积电荷引起的 SET 高度在 200 mV 以下,300 fC 时引起的干扰脉冲高度达到 800 mV;而在 40 nm 工艺节点,100 fC 沉积电荷对应的脉冲高度已经达到 700 mV,超过晶体管的翻转阈值,在 300 fC 时更是达到 1 600 mV,几乎达到最大饱和值。以上可知随着工艺线条的缩减,相同的 SE 沉积电荷在相同长度连线上引起的串扰噪声幅度会显著增加,因此先进工艺线条下对 SE 引起的串扰免疫降低了。



(a) 普通串扰与单粒子引起的串扰对比



(b) 单粒子引起的串扰峰值高度

图 2 普通串扰与单粒子引起的串扰

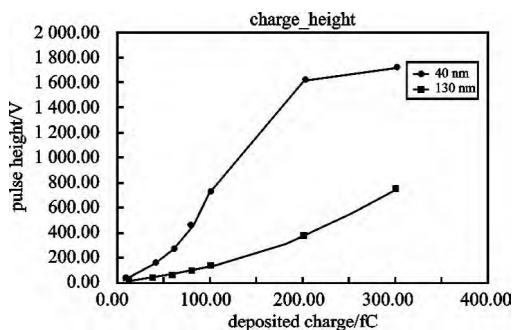


图 3 不同工艺下串扰宽度随沉积电荷量的变化

2.2 SET 串扰引起的信号延迟

串扰能使受扰线的延迟发生改变,引起后续电路采集信号的时序发生改变,导致最终寄存器采集数据的建立(setup)或者保持(hold)时间发生改变,不能采集到正确的数据而发生逻辑错误。当施扰点 nMOS(pMOS)受到粒子轰击,产生一个 1 到 0(0 到 1)的翻转,受扰点在此时如果发生 0 到 1(1 到 0)的跳变,则由于耦合电容的影响,受扰点的信号会产生延迟;如果当施扰点 nMOS(pMOS)受到粒子轰击,产生一个 1 到 0(0 到 1)的翻转,而受扰点在 SET 发生时产生的信号翻转为 1 到 0(0 到 1),则施扰点的瞬态脉冲信号通过耦合电容传递给受扰点,引起受扰点信号的加速。当沉积电荷足够大时,有可能引发的加速导致信号最终发生保持时间违例(Hold time violation)。

为了考察 SET 引起的串扰延迟,采用了如图 4 所示的延迟模型,在 40 nm 工艺上对 SET 引起的串扰延迟进行了仿真分析。如图 5 所示,没有任何串扰和 SET 干扰的情况下, V_v 点的前级 cell 延迟为 158.3 ps,普通串扰下的信号延迟几乎增加 30%,增加达 42.97 ps,SET 引起的串扰延迟大小与注入电荷量有关。从扫描仿真的结果看,随着沉积电荷的增加,延迟呈现增加趋势。

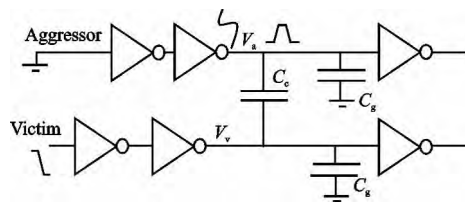


图 4 串扰引起的延迟效应

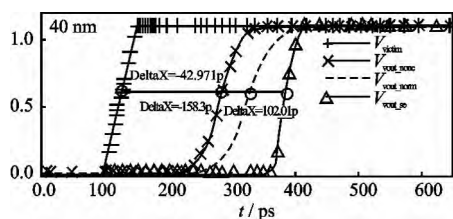


图 5 40 nm 本征、普通串扰与 SE 串扰延迟@200 fC

3 SET 串扰的缓降措施

增加驱动能力、扩大线间距减小耦合电容等措施常常用来减缓和抑制普通串扰情况下引起的噪声电压和信号延迟。很显然,增加驱动能力导致的面积增加将大大少于扩大线间距带来的面积开销。在目前的深亚微米条件下,芯片上晶体管密度日趋增加的情形下,布线资源日益趋紧。因此,增加驱动不失为抑制串扰信号的最佳解决方案。然而,增加驱动能力或许会带来芯片整体功耗的增加,同时,增加施扰节点驱动能力,虽然有利于缓解 SET,进而有利于缓解 SET 引起的串扰,但是施扰节点驱动的增加,会增强普通情况下的串扰噪声。因此,增加施扰点驱动并不是没有任何代价的,需要权衡考虑。相比而言,增加受扰点驱动则对 SE 情况下的施扰点没有影响,同时能降低受扰点的噪声,是有效的缓解噪声的措施。

3.1 增加受扰驱动能力对噪声形状的影响

本文对不同工艺下标准单元库中的三种受扰驱动能力的单元分别为 INVX2、INVX4、INVX8 的单元进行仿真分析,下表列出各工艺节点下增加驱动时,SE 串扰噪声峰值幅度和半高宽与驱动为 X1 时比较的具体效果。

由表 1 可知,增加受扰驱动能力,噪声峰值下降迅速。工艺线条越小,越需要增加较大的驱动来达到满意的效果。

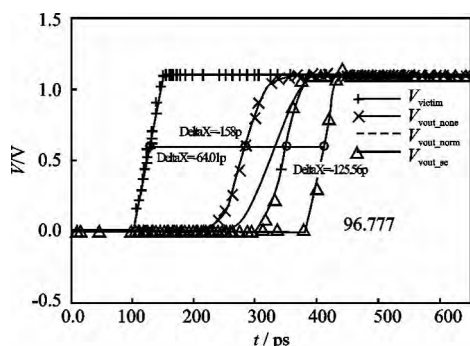
3.2 增加受扰驱动能力对信号延迟的影响

以前述的 1 000 μm 长度连线组为基础,对于 40 nm 工艺节点,通过增加施扰和受扰节点驱动能

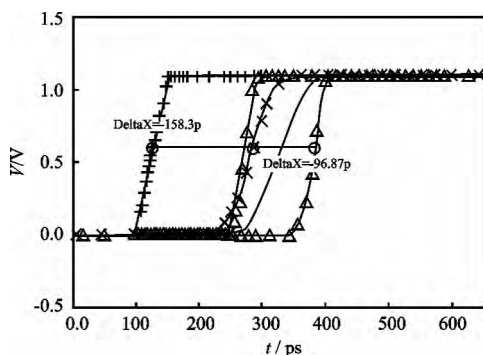
力,对 SE 引起的串扰延迟如图 6(a)、图 6(b)所示。

表 1 驱动能力对噪声的影响

工艺	受扰点驱动能力 X2		受扰点驱动能力 X4		受扰点驱动能力 X8	
	Peak/%	Pulse Width/%	Peak/%	Pulse Width/%	Peak/%	Pulse Width/%
130 nm	41.13	22.18	47.95	13.80	50.46	5.02
55 nm	21.19	19.30	19.10	9.15	12.59	3.34
40 nm	11.88	26.98	43.48	25.18	71.00	13.51



(a) 增加施扰驱动能力一倍



(b) 增加受扰驱动能力一倍

图 6 串扰延迟

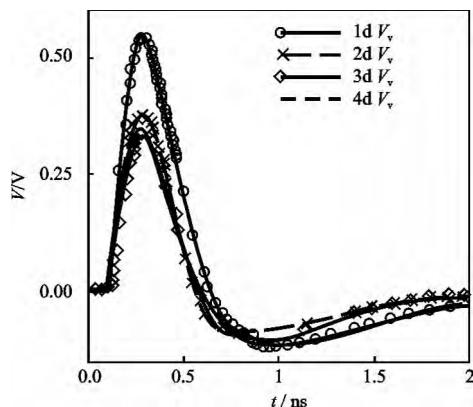
如图 6(a)所示,当施扰驱动 cell 从 X4 变为 X8 时,SE 串扰延迟在 200 fC 时为 64.01 ps,500 fC 时为 125.56 ps。如前面仿真结果所示,相比原始的 102 ps@200 fC,减少 50%,而原来 500 fC 时延迟为 200 ps,增加驱动一倍延迟降低至原来的 70%。如图 6(b)所示,当受扰驱动能力增加一倍,由 X4 变为 X8 时,200 fC 时 SE 串扰延迟接近 cell 本征延迟,在 500 fC 时延迟为 96.8 ps。相比原始的延迟时间分别减少 100%和 80%。

3.3 增加连线间距

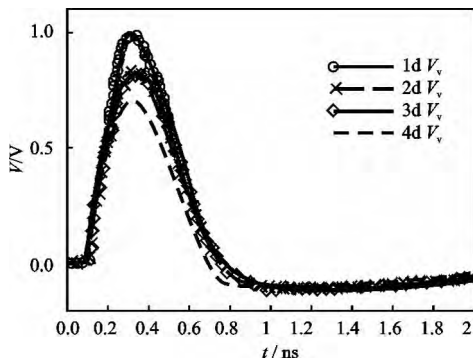
这节仿真中所用的仿真模型如前所述,沉积电荷量 200 fC,最小连线间距为每个工艺节点所允许的最小值,55 nm、40 nm 工艺下最小间距 1 d 分别为 0.1 μm 、0.07 μm ,其他间距分别以此为基准。当连线间距从 1 d 增加到 4 d,如图 7(a)所示 55 nm 工

艺节点下,噪声幅值由 0.54 V 下降到 2 d 时的 0.45 V,间距继续增加,在 V_v 处引起噪声峰值下降幅度减小。如图 7(b)所示 40 nm 工艺节点下,噪声峰值由 1 V 下降到 2 d 时的 0.8 V,间距继续增加,4 d 时噪声峰值 0.7 V。

因此,增加连线间距,耦合电容减小,对地电容增加,对 SE 引起的噪声是行之有效的办法,但是面积的增加不可避免。随着工艺节点减小,关键电荷量减少,增加驱动能力所花的代价必须更大才能达到与较大工艺节点同等效果。



(a) 55 nm 下的受扰点串扰与间距的关系



(b) 40 nm 下的受扰点串扰与间距的关系

图 7 55 nm 与 40 nm 下的受扰点串扰与间距的关系

综上所述,针对普通噪声的情况应该减小施扰驱动,使有效跨导减小,则由于阻抗作用增大,干扰信号翻转减慢,最终使得耦合至受扰点的噪声信号

减少,但是,驱动尺寸减小会使得关键电荷量减小,导致整个电路免疫能力降低.因此,针对 SE 引起的噪声,施扰点前驱动 cell 应该增加,MOS 管尺寸增大会使得收集的电荷更快消散,降低对 SE 的敏感程度,减少 SE 引起的串扰.增加施扰驱动 cell 尺寸能降低 SE 引起的串扰,但是会加剧普通串扰噪声的影响.增加受扰点驱动 cell 能有效地降低 SE 引起的串扰噪声和普通噪声的幅度和延迟,但是受扰线在另一情形下也会成为别的 cell 的施扰者,因此它的尺寸增加会对与它相邻的其他受扰线带来很大的干扰.为此增加 cell 驱动能力需要多方面的权衡考虑.增加连线间距,在面积许可的情况下,是最有效的 SE 引起的串扰的缓解措施.

4 结束语

文中详细分析了深亚微米工艺下 SET 引起的串扰噪声和普通串扰噪声.随着工艺进步,SE 引起的串扰更加严重.对有效的缓解串扰措施做出了详细的对比分析,增加施扰驱动对缓解 SE 引起的干扰和串扰噪声有效.但是,增加施扰驱动会引起普通串扰噪声恶化.增加受扰驱动有益于 SE 引起的串扰噪声,但是有可能成为相邻连线的另一噪声源,因此需要权衡考虑.增加间距在布线资源许可的条件下是最有效的 SE 串扰解决方案.

参考文献:

- [1] 来金梅,姚庆栋.高速芯片设计中时序的研究[J].微电子学与计算机,1999,16(5):14-17.
- [2] 袁宝国.门电路参数对互连线时延影响的研究[J].微电子学与计算机,2004,21(6):178-181.
- [3] 孙加兴,叶青.0.18 μ m CMOS 工艺条件下的信号完整性分析[J].半导体学报,2003,24(10):1030-1034.
- [4] Liu Qinghua, Tang Pushan. Crosstalk estimation and optimization in Deep Sub-Micron VLSI [J]. Chinese Journal of Semiconductors, 2002, 23(5): 535-542.
- [5] Baumann R C. Single-event effects in advanced CMOS technology [C] // presented at the 2005 IEEE Nuclear and Space Radiation Effects Conference Short Course. Seattle, 2005.
- [6] Mavis D G, Eaton P H. Soft error rate mitigation techniques for modern microcircuits [C] // Proc 40th Annual Reliability Physics Symp. Dallas, 2002: 216-225.
- [7] Thompson S. Silicon CMOS technology 101 [C] // IEEE Nuclear and Space Radiation Effects Conference Short Course. Seattle, 2005.
- [8] Sayil S, Juyu Wan. Single-event soft errors in CMOS logic [J]. IEEE Potentials, 2012, 31(2): 15-22.

作者简介:

蒋见花 女, (1976-), 副研究员. 研究方向为大规模集成电路设计. E-mail: jiangjianhua@ime. ac. cn

(上接第 59 页)

- [2] Yueli Hu, Wenyi Jing, Ying Liu. Integrating ADC IP in a SoC and Its Verification [C] // High Density packaging and Microsystem Integration. Shanghai, 2007: 1-4.
- [3] Resve Saleh, Steve Wilton, Shahriar Mirabbasi, et al. System-on-chip: reuse and integration [J]. IEEE, 2006, 94(6): 1050-1069.
- [4] 中国人民解放军总装备部电子信息基础部. GJB 7715-2012 军用集成电路 IP 核通用要求[S]. 北京: 总装备部军标出版发行部, 2012.
- [5] 刘杰, 王国玺, 夏君, 等. 基于 NanoTime 的模拟 IP 时序验证和模型提取 [EB/OL]. [2014-04-19]. <http://www.synopsys.com.cn/information/snug/2010>.

作者简介:

王 东 男, (1984-), 博士研究生, 助理研究员. 研究方向为模拟集成电路设计与 IP 核共性技术. E-mail: wangdong@ime. ac. cn

陈 岚 女, (1968-), 博士生导师. 研究方向为超深亚微米芯片设计方法学及计算机体系结构.

柳臻朝 男, (1987-). 研究方向为高性能 IP 核设计与 IP 核共性技术.

冯 燕 女, (1980-), 助理研究员. 研究方向为 SoC 设计与验证、IP 核标准与共性技术.